

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-81845

⑬ Int. Cl.<sup>4</sup>

H 01 L 27/06  
29/78

識別記号

3 1 1  
3 0 1

庁内整理番号

7735-5F  
K-8422-5F

⑭ 公開 昭和63年(1988)4月12日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 電界効果型トランジスタ集積回路

⑯ 特 願 昭61-228716

⑰ 出 願 昭61(1986)9月25日

⑱ 発 明 者 前 村 公 正 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

電界効果型トランジスタ集積回路

2. 特許請求の範囲

第1の電源電圧端子と第2の電源電圧端子間に少なくとも2個のダイオードを逆バイアスとなるように直列に接続することにより構成され、前記ダイオード間を入力とする保護回路を入力段に備えた電界効果型トランジスタ集積回路において、前記ダイオードと並列にかつ順方向バイアスとなるように所要数のダイオードを接続したことを特徴とする電界効果型トランジスタ集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、信頼性の高い電界効果型トランジスタ集積回路に関するものである。

〔従来の技術〕

第2図は電界効果型トランジスタ集積回路の入力段に使用されている従来の保護回路を示す図であり、この図において、1は集積回路外部からの

信号が入力される入力端子、2はその電圧が $V_{DD}$ である第1の電源電圧端子、3はその電圧が $V_{SS}$ である前記第1の電源電圧端子2より電圧の低い第2の電源電圧端子、4は第1のダイオードで、第1の電源電圧端子2をカソードに、入力端子1をアノードに接続して逆バイアスとなっている。5は第2のダイオードで、入力端子1をカソードに、第2の電源電圧端子3をアノードに接続して逆バイアスとなっている。6は被保護素子に接続される端子、7は被保護素子である。

従来の保護回路は、上記のように構成されており、例えば、入力端子1に高電圧が印加されても、第1のダイオード4の作用により被保護素子7には、高くとも第1のダイオード4の順方向電圧( $V_F$ )と、第1の電源電圧端子2に印加される電圧( $V_{DD}$ )の和の電圧( $V_{DD} + V_F$ )しか印加されず、被保護素子7への高電圧の印加を防止して保護する。

また、第1および第2のダイオード4、5は、第1の電源電圧端子2と第2の電源電圧端子3と

の間で逆バイアス状態で接続されているため、第1の電源電圧端子2から第2の電源電圧端子3へ、第1および第2のダイオード4, 5を通過して電流が流れることはない。

〔発明が解決しようとする問題点〕

上記のような従来の保護回路は、第1および第2のダイオード4, 5の逆バイアスでのみ構成していたために、回路の全端子が浮いている時に第1の電源電圧端子2と入力端子1の間にのみ、サージが印加されると、過大な電流は電源線へ流れず、第1のダイオード4を逆バイアス状態で、第1の電源電圧端子2から入力端子1へ流れて第1のダイオード4を損傷してしまうという問題点があった。

この発明は、かかる問題点を解決するためになされたもので、回路の全端子が浮いている状態で、サージが印加されても保護回路を構成するダイオードを損傷することなく、サージ耐圧が高く信頼性の高い電界効果型トランジスタ集積回路を得ることを目的とする。

いる。

次に第1図の回路を例えば、ガリウムヒ素電界効果型トランジスタにより構成した場合の動作について説明する。電圧 $V_{DD}$ を1V、電圧 $V_{SS}$ を接地(0V)とし、GaAsを用いた金属-半導体接合により形成した各ダイオードの順方向電圧は約0.7V、逆方向降伏電圧は約10Vである。この場合、端子6に印加される電圧は、ダイオードの順方向特性により制限され、被保護素子7が保護される。

ところで、半導体集積回路を取り扱う場合に、人体等から発生したサージが回路を破壊することが良く知られているが、従来の保護回路では、回路の全端子が浮いている場合に第1の電源電圧端子2と入力端子1との間にサージが印加されると、サージは第1のダイオード4を逆方向に流れ保護回路を破壊してしまう。この発明では、第1の電源電圧端子2と入力端子1との間に順方向に第1のダイオード群8を接続しているために、サージは第1のダイオード群8を流れることにな

〔問題点を解決するための手段〕

この発明に係る電界効果型トランジスタ集積回路は、第1の電源電圧端子と第2の電源電圧端子間に逆バイアスとなるように接続したダイオードと並列に、かつ順方向バイアスとなるように所要数のダイオードを接続したものである。

〔作用〕

この発明においては、第1の電源電圧端子間と第2の電源電圧端子間に逆バイアスとなるように接続されたダイオードの逆方向に過大なサージ電圧が印加された場合、並列に接続されたダイオードを介して放電される。

〔実施例〕

第1図はこの発明の電界効果型トランジスタ集積回路の保護回路の一実施例を示す図である。この図において、第2図と同一符号は同一部分を示し、8, 9は第1および第2のダイオード群で、第1および第2のダイオード4, 5と並列に、かつ第1の電源電圧端子2と第2の電源電圧端子3との間で順方向バイアスとなるように接続されて

り、サージ耐圧が向上する。これはGaAs系金属-半導体接合を利用したダイオードでは順方向サージ耐圧が逆方向に比べて約2倍の耐圧を有しているためである。

なお、上記実施例では、電圧1Vに対して4個のダイオードを直列に接続して消費電流を小さくしているが、電圧が1V以上に増加した構成とする場合には、順方向に接続するダイオードの接続個数を増加することで対応できる。

また、ダイオードとしてGaAs系金属-半導体接合を有するものについて説明したが、逆方向に比べて順方向のサージ耐圧が強い素子構造のものであればどのようなものでも利用できることはいうまでもない。

〔発明の効果〕

この発明は以上説明したとおり、ダイオードと並列に、かつ順方向バイアスとなるように所要数のダイオードを接続したので、サージ耐圧および信頼性が大幅に向上するという効果がある。

4. 図面の簡単な説明

第1図はこの発明の電界効果型トランジスタ集積回路の保護回路の一実施例を示す図、第2図は従来の保護回路を示す図である。

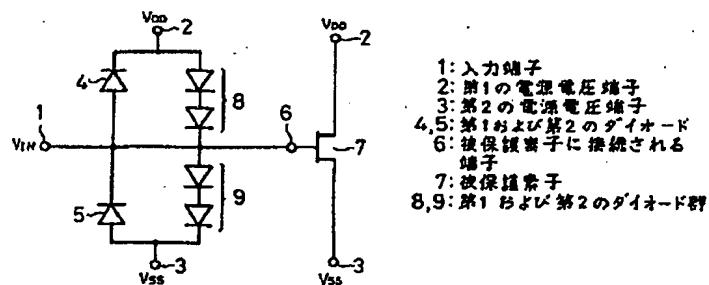
図において、1は入力端子、2は第1の電源電圧端子、3は第2の電源電圧端子、4、5は第1および第2のダイオード、6は被保護素子に接続される端子、7は被保護素子、8、9は第1および第2のダイオード群である。

なお、各図中の同一符号は同一または相当部分を示す。

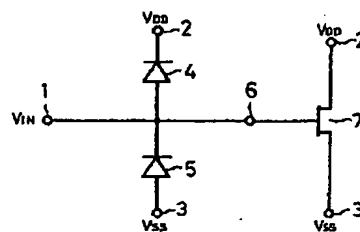
代理人 大 岩 増 雄

(外2名)

第 1 図



第 2 図



特開昭63-81845(4)

手続補正 (自発)

昭和62年7月17日

特許庁長官殿



1. 事件の表示 特願昭 61-228718号
2. 発明の名称 電界効果型トランジスタ増幅回路

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375)弁護士 大 岩 増 雄  
(連絡先03(213)3421特許部)



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

- (1) 明細書第3頁9行の「図にのみ、」を、  
「図に対して、」と補正する。
- (2) 同じく第4頁11～12行の「ダイオード」  
を、「順方向バイアスのダイオード」と補正する。

以 上